

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064725

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 23/28  
B42D 15/10  
H01L 21/304  
H01L 21/56  
H01L 21/301  
H01L 21/321

(21)Application number : 06-215239

(71)Applicant : SONY CORP

(22)Date of filing : 18.08.1994

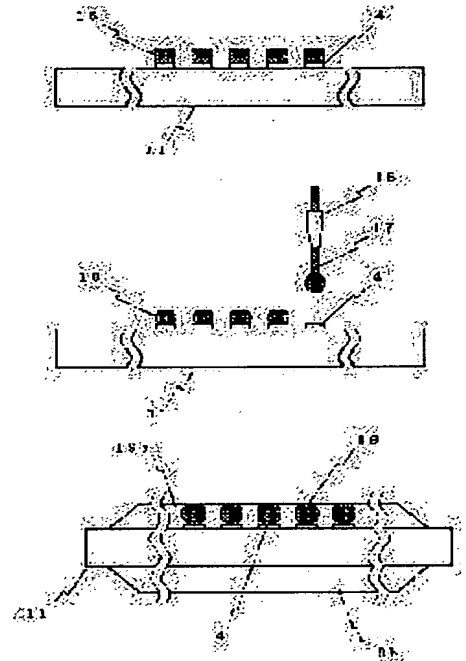
(72)Inventor : KIHIRA TORU  
FUKAZAWA HIROYUKI  
KOJIMA AKIRA

## (54) RESIN-SEALED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To realize a semiconductor package of a chip size and achieve the thickness reduction of the package and the high integration of a semiconductor chip by a method wherein bumps or Au balls are formed on the electrodes of a semiconductor chip and the bumps or the Au balls are exposed from the surface of molding resin.

**CONSTITUTION:** A semiconductor wafer 11 is composed of a plurality of chips. A respective circuit pattern is formed in each chip and electrode pads 4 with which the semiconductor chip is connected electrically to an external circuit are provided around each chip. Bumps 15 or Au balls 16 are formed on the electrode pads 4. Then the bumps 15 or the Au balls 16 are exposed from the surface 19a of molding resin. With this constitution, various inconveniences which are shown by various types of prior art semiconductors can be solved, a semiconductor package of a chip size can be realized and, further, the thickness reduction of the package and the high integration of the chip can be achieved.



### LEGAL STATUS

[Date of request for examination] 16.06.2000

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3449796

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection] 2001-19065

[Date of requesting appeal against examiner's decision of rejection] 25.10.2001

[Date of extinction of right]

**BEST AVAILABLE COPY**

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The plastic molded type semiconductor device characterized by having formed the bump or Au ball on the electrode of a semiconductor chip, and exposing this bump or Au ball on the front face of mold resin.

[Claim 2] The manufacture approach of the plastic molded type semiconductor device characterized by being the manufacture approach of the plastic molded type semiconductor device of claim 1, forming a bump or Au ball on the electrode of each semiconductor chip of a semi-conductor wafer, and carrying out mold to the front face and/or rear face of said semi-conductor wafer after that.

[Claim 3] The manufacture approach of the plastic molded type semiconductor device which the bump or Au ball is not exposed to the front face of mold resin, or carries out grinding of the mold resin front face if needed, and is characterized by exposing said bump or Au ball in the semi-conductor wafer [ finishing / mold ] obtained by the manufacture approach of claim 2 when sufficient exposure product is not obtained.

[Claim 4] The manufacture approach of the plastic molded type semiconductor device characterized by giving dicing and dividing into a simple substance in the semi-conductor wafer [ finishing / mold ] obtained by the manufacture approach of claim 2 or claim 3.

[Claim 5] The manufacture approach of the plastic molded type semiconductor device which is the manufacture approach of the plastic molded type semiconductor device of claim 1, forms a bump or Au ball on the electrode of the semiconductor chip divided separately, forms mold resin in the front face and/or rear face of said semiconductor chip after that, carries out grinding of the resin front face if needed, and is characterized by exposing said bump or Au ball.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the plastic molded type semiconductor device to which the electronic circuitry closed the semiconductor chip (henceforth IC chip) accumulated and formed by resin by the transfer mold method, and its manufacture approach. Speaking concretely, this invention relating to a thin package or BGA, and relating to the optimal plastic molded type semiconductor device for an IC card, the package for memory cards, etc., and its manufacture approach especially.

[0002]

[Description of the Prior Art] In recent years, the package of a plastic molded type semiconductor device is in the inclination of small-and-light-izing. Also in it, especially as for the thin semiconductor package, the increment in need will be expected from now on for high-capacity-izing of a memory card. Such a current package and the inclination of a memory card are explained by a diagram.

[0003] Drawing 17 is drawing showing the relation between the thickness of a thin semiconductor package, and the thickness of IC memory card of the specification of JEIDA.

[0004] As shown in this drawing 17, the thickness of the present IC memory card is 3.3mm by the specification of JEIDA. On the other hand, the present thin semiconductor package has the thing of 1.0mm thickness in use, and, in the case of a memory card with an above-mentioned thickness of 3.3mm, can carry out double-sided mounting (column at the upper left of drawing 17).

[0005] If this is transposed to a semiconductor package with a thickness [ under present development ] of 0.5mm, it becomes possible to four-step mounting, and can expand twice [ in memory capacity / the case of a package with a thickness of 1.0mm ] (column at the upper right of drawing 17 R> 7). Moreover, it is in the inclination which thin-shape-izes card itself other than above-mentioned high-capacity-izing in the case of a memory card.

[0006] For example, the card with a thickness of 2.2mm is defined by JEIDA as specification of the card of the next phase (column under drawing 17). In the case of the memory card of this thickness, only one side mounting can do a semiconductor package with a thickness of 1.0mm, but (column at the lower left of drawing 17) if it becomes a package with a thickness of 0.5mm or less, two or more steps of multistage mounting will be attained (column at the lower right of drawing 17).

[0007] Furthermore, applying a thin shape-ized memory card as a smart card with a thickness [ of an ISO standard ] of 0.76mm (the same thickness as a credit card) is also considered. The side face of a smart card is shown in the next drawing.

[0008] Drawing 18 is the side elevation showing the application of the module to the smart card of an ISO standard about a super-thin IC package.

[0009] If the thickness of a smart card is set to 0.76mm as shown in this drawing 18, with a package with a thickness [ of the present \*\* ] of 1.0mm, loading will become already impossible. Therefore, a semiconductor device (semiconductor package) with a thickness of 0.5mm or less is needed.

[0010] Since it mounts in the memory card of size equivalent to a smart card with a thickness of 0.76mm according to such a demand, the COB (chip on-board regulation) method, the tape career method, etc. are proposed. Following drawing 19 and following drawing 20 explain the mounting gestalt.

[0011] Drawing 19 is the side elevation showing an example of the mounting gestalt about the IC package of a COB method. drawing -- setting -- 51 -- in a semiconductor chip and 52, Au line and 55 show an electrode pad and, as for a substrate and 53, 56 shows a substrate pad, as for adhesives and 54.

[0012] As shown in this drawing 19, by the COB method, a semiconductor chip 51 is carried on the direct substrate 52, and the method of performing wire bond on plating of a substrate 52 etc. from the electrode pad 55 on a chip 51 is adopted.

[0013] Drawing 20 is the side elevation showing an example of the mounting gestalt about the IC package of a tape career method. The sign in drawing is the same as that of drawing 19, 57 shows a tape and 58 shows a bump.

[0014] By the tape career method, as shown in this drawing 20 , the electrode pad 55 of a semiconductor chip 51 is connected to a tape 57 by the bump 58, and the approach of mounting in substrate 52 grade is used. However, there are the following troubles also by the conventional method shown in these drawing 19 and drawing 20 . For example, in the COB method of drawing 19 , a modular percent defective is high.

[0015] Moreover, in the tape career method of drawing 20 , there is a trouble that automation of mounting is difficult, the top where cost is very expensive. Furthermore, by the method which mounts the semiconductor device which has the lead described above, and a COB method and a tape career method, since wirebonding must be performed into the lead arranged around a chip, and the plating part on a substrate or it must connect with an electrode pad on a tape, it is necessary to arrange an electrode pad to the periphery of a chip fundamentally.

[0016] Therefore, wiring in a chip must be taken about by force, and it has become the big hindrance to high integration of a semiconductor device, or contraction-izing of a chip size as a result. Moreover, from the former, in order to solve the above troubles, the flip chip method which has neither a wire nor a tape is carried out.

[0017] Drawing 21 is the side elevation showing an example of the mounting gestalt about the IC package of a flip chip method. The sign in drawing is the same as that of drawing 19 and drawing 20 .

[0018] This flip chip method is a method which forms a bump 58 beforehand on the electrode pad 55 of a semiconductor chip 51, and carries out adhesion immobilization by this bump 58 at the direct substrate 52, as shown in drawing 21 . If such a method is used, contraction-ization of a component-side product or a chip size is attained, and high capacity-ization of a card can be realized.

[0019] However, like the conventional COB method, a tape career method, or a flip chip method, by methods other than a plastic molded type semiconductor device, since there is much structure where the semiconductor chip is not covered by mold resin, a chip front face receives a damage according to external force in many cases. Furthermore, in these methods, although potting resin may be dropped and the closure may be performed for protection of the front face of a semiconductor chip, as compared with the method of the resin seal by the transfer mold, control of the thickness of resin is difficult.

[0020] Moreover, at a closure process, in order to carry out without pressurizing almost, the resin itself to close is porous, and only the part tends to penetrate moisture etc. and has problems, like moisture resistance etc. is inferior in respect of the dependability of a semiconductor device. As mentioned above, there were all merits and demerits in the semiconductor device of the various conventional methods, and the semiconductor device which is called for now, which is a chip size and in which thin-shape-izing of a package and high integration of a chip are possible had the problem that it did not exist in it.

[0021]

[Problem(s) to be Solved by the Invention] In this invention, while solving many un-arranging [ which the semiconductor device of the various conventional methods has ] and offering the semiconductor package of a chip size, it aims at offering the plastic molded type semiconductor device which enabled thin-shape-izing of a package, and high integration of a chip, and its manufacture approach.

[0022]

[Means for Solving the Problem] This invention forms [ 1st ] a bump or Au ball on the electrode of a semiconductor chip, and is taken as the plastic molded type semiconductor device of a configuration of having exposed this bump or Au ball on the front face of mold resin.

[0023] It is the manufacture approach of the plastic molded type semiconductor device which is the manufacture approach of the plastic molded type semiconductor device the above 1st, forms a bump or Au ball on the electrode of each semiconductor chip of a semi-conductor wafer, and carries out [ 2nd ] mold to the front face and/or rear face of said semi-conductor wafer after that.

[0024] In the semi-conductor wafer [ finishing / mold ] obtained [ 3rd ] by the manufacture approach of the above 2nd, the bump or Au ball is not exposed to the front face of mold resin, or when sufficient exposure product is not obtained, it is the manufacture approach to which grinding of the mold resin front face is carried out if needed, and said bump or Au ball is exposed.

[0025] In the semi-conductor wafer [ finishing / mold ] obtained [ 4th ] by the above 2nd or the 3rd manufacture approach, it is the manufacture approach characterized by giving dicing and dividing into a simple substance.

[0026] It is the manufacture approach to which it is the manufacture approach of the plastic molded type semiconductor device the above 1st, and a bump or Au ball is formed on the electrode of the semiconductor chip divided separately, mold resin is formed in the front face and/or rear face of said semiconductor chip after that, grinding of the resin front face is carried out if needed, and said bump or Au ball is exposed [ 5th ] .

[0027]

[Function] In this invention, if the front face and/or rear face of a semiconductor chip in which the bump or the golden (Au) ball was formed are closed by mold resin and the front face or rear face of mold resin is exposed on an electrode pad, while realizing the semiconductor package of a chip size paying attention to the point that electrical installation with the exterior becomes possible, it is carrying out possible [ of thin shape-izing of a package, and the high integration of a chip ] .

[0028] Speaking concretely, with the plastic molded type semiconductor device of this invention, attaining a surface mounting consistency equivalent to a flip chip device etc., and enabling mounting of high accumulation, while improving the semiconductor device in mounting plated circuits, such as a memory card, and maintaining a guarantee, quality dependability, etc. of an electrical property in mold resin protection (invention of claim 1). Moreover, it proposes about the manufacture approach for manufacturing such a plastic molded type semiconductor device (invention of claim 2 to claim 5).

[0029]

[Example 1] Next, that example is explained to a detail about the plastic molded type semiconductor device and its manufacture approach of this invention, referring to a drawing. This example supports invention of claim 1 to claim 5.

[0030] As already stated, the semiconductor device (IC) of this invention is the configuration of a super-thin shape to which the bump or Au ball was formed on the electrode of a semiconductor chip, and the electrode was exposed on the front face of one side of mold resin. In this example, it is the case where both sides of a semiconductor device are closed by mold resin. First, a perspective view explains that configuration about the semiconductor device of this invention.

[0031] Drawing 1 is the perspective view showing one example about the semiconductor device of this invention. In drawing, as for the semiconductor device (IC) of this invention, and 2, 1 is [ a semiconductor chip and 3 ] mold resin, in 3a, the mold resin on a side front and 3b show the mold resin on a background, and 20 shows an external electrode (deposit).

[0032] As shown in this drawing 1, both sides of the central semi-conductor wafer 2 are covered by mold resin 3, and, as for the semiconductor device 1 of this invention, the external electrode (deposit) 20 is exposed from mold resin 3a on the side front of that one side. Thus, by constituting, thin shape-ization of a package is attained and high capacity-ization of a memory card etc. is also realized by coincidence.

[0033] Moreover, since the plastic molded type semiconductor package of a chip and the same size which does not have a lead is obtained, a component-side product can be made small. And since a circuitry top is also very firm, reliable high density assembly becomes possible. Next, the production process of the semiconductor device 1 of this invention shown in drawing 1 is explained using drawing 11 from drawing 2.

[0034] Drawing 2 is the perspective view showing an example of the semi-conductor wafer for obtaining the semiconductor device 1 of this invention. In drawing, 11 shows a semi-conductor wafer and 12 shows a cage hula.

[0035] Drawing 3 is the schematic diagram showing one element currently formed in the semi-conductor wafer 11 shown in drawing 2. In drawing, in 4, an electrode pad and 13 show a chip and 14 shows a scribe line.

[0036] As shown in this drawing 3, the semi-conductor wafer 11 consists of two or more chips 13. After that, after each chip 13 usually gives rear-face grinding in the state of a wafer, it is separately divided in the process of dicing. A circuit pattern is formed in each chip 13, respectively, and the electrode pad 4 for making electric connection with the exterior in the perimeter section of a chip 13 is mainly formed in it.

[0037] Drawing 4 is the important section sectional view of the perimeter [ chip 13 ] section in which the electrode pad 4 was formed about the semi-conductor wafer 11 shown in drawing 2. The sign in drawing is the same as that of drawing 2 and drawing 3.

[0038] Drawing 5 is the important section sectional view showing the condition of having formed the bump on the electrode pad 4 in the semi-conductor wafer 11 shown in drawing 4. The sign in drawing is the same as that of drawing 2 and drawing 3, and 15 shows a bump.

[0039] On the electrode pad 4 of the semi-conductor wafer 11 shown in drawing 4, a bump 15 is formed by the approach currently performed from the former. Of such processing, as shown in drawing 5, a bump 15 is formed on the electrode pad 4.

[0040] Drawing 6 is the important section sectional view showing the condition of having formed Au ball on the electrode pad 4, with the usual wirebonding method. The sign in drawing is the same as that of drawing 2 and drawing 3 R> 3, in 16, Au ball and 17 show Au line and 18 shows a capillary.

[0041] Moreover, instead of a bump 15, as shown in drawing 6, the Au ball 16 may be formed on the electrode pad 4. According to the above process, a resin seal is performed, after forming a bump 15 or the Au ball 16 on the electrode pad 4 of the semi-conductor wafer 11.

[0042] Drawing 7 is drawing explaining the resin seal process of the semi-conductor wafer 11, and is the outline sectional view showing the condition of having inserted in mold metal mold. the sign in drawing -- drawing 6 -- the same -- 21 -- mold metal mold -- it is -- 21A -- the upper metal mold and 21B -- the Shimokane mold and 22A -- as for a bottom runner and 24A, an upper cavity and 22B show [ a bottom cavity and 23A ] the bottom gate for an upper runner and 23B, as for the upper gate and 24B.

[0043] As shown in this drawing 7, it is put in by the mold metal mold 21 and the resin seal of the chip 13 which the process explained by previous drawing 6 ended is carried out to it. That is, the semi-conductor wafer 11 is inserted from the upper and lower sides by upper metal mold 21A and Shimokane mold 21B, and the side front and background of the semi-conductor wafer 11 are fabricated by mold resin 3.

[0044] In this case, since it is necessary to carry out the mold of the resin 3 of both sides of the semi-conductor wafer 11 to the thin large range, it optimizes mold conditions, such as molding temperature of the mold metal mold 21, an injection pressure, injection time amount, and the preheating time, to the curing temperature of mold resin 3, a viscosity property, and a pan, and performs them to them. Then, as grinding of the thin film of the mold resin 3a and 3b on a side front and a background is carried out and it is shown in later drawing 10 R> 0 at the same process as the rear-face grinding of the conventional wafer, a bump 15 or the Au ball 16 is exposed on the front face of mold resin 3a.

[0045] At this time, a bump's 15 area or the magnitude of the Au ball 16 is beforehand adjusted so that the exposure product of a bump 15 or the Au ball 16 may become homogeneity mostly. In addition, in the example shown in previous drawing 7, the bump 15 or the Au ball 16 is completely covered with mold resin 3a, and in order to make connection with the exterior, the process of the grinding of mold resin 3a is needed.

[0046] Drawing 8 is the outline sectional view showing the condition that inserted the semi-conductor wafer 11 of drawing 6 in the mold metal mold 21, and the Au ball 16 touched upper metal mold 21A. The sign in drawing is the same as that of drawing 6 and drawing 7.

[0047] As shown in this drawing 8, when the bump 15 or the Au ball 16 is formed more highly beforehand and it inserts with the mold metal mold 21, it is made for the tip of these bumps 15 or the Au ball 16 to hit the inside of punch 21A. According to this approach, since some of bumps 15 or Au balls 16 are already exposed on the mold resin front face after shaping, the process of grinding like drawing 7 can be skipped.

[0048] Drawing 9 is the outline perspective view showing the condition after fabricating the semi-conductor wafer 11 with the mold metal mold 21 shown in drawing 7 or drawing 8. The sign in drawing is the same as that of drawing 2, 19 is mold resin, and, as for side front mold resin and 19b, 19a shows background mold resin.

[0049] Drawing 10 is the outline sectional view showing the condition of having carried out grinding of the mold resin 19 of the semi-conductor wafer [ finishing / mold shaping ] 11, and having exposed the Au ball 16 on the front face.

[0050] Drawing 11 is the sectional view showing the condition after plating on the Au ball 16 exposed on the front face of side front mold resin 19a. In drawing, 20 shows a deposit.

[0051] as drawing 7 and drawing 8 explained, the semi-conductor wafer 11 is shown in drawing 9, when mold shaping is performed using the mold metal mold 21 -- as -- both sides -- mold resin 19a and 19b -- business -- the crack \*\*\*\*\* wafer 11 is obtained. Thus, grinding of the double-sided mold resin 19 is carried out to the obtained semi-conductor wafer 11, and the front face of side front mold resin 19a is made to expose the Au ball 16 to it, as shown in drawing 10.

[0052] Then, as shown in drawing 11, on the exposed bump 15 or the Au ball 16, solder plating etc. is processed and a deposit 20 is formed. more than -- drawing 2 -- from -- drawing 11 -- like -- down stream processing -- carrying out -- having -- mold -- finishing -- a wafer -- 11 -- dicing -- giving -- each -- a simple substance -- carrying out -- if -- drawing 1 -- R -- > -- one -- having been shown -- as -- a substrate -- mounting -- being possible -- a gestalt -- a semiconductor device -- (-- IC --) -- one -- obtaining -- having.

[0053] Since the front face of the chip 13 of a semi-conductor is covered with mold resin 3a and 3b in the semiconductor device (semiconductor package) explained in this 1st example, it is possible for a chip front face not to receive a damage and to also secure moisture resistance. Since the plastic molded type semiconductor package of a chip and the same size which does not have a lead is moreover obtained, a component-side product can also be made small.

[0054]

[Example 2] This example also supports invention of claim 1 to claim 5. Although the 1st previous example explained the case where both sides of a semiconductor device 1 were closed by mold resin 3a and 3b, in this 2nd example, it has the description at the point which closes only one side of a semiconductor device 1 by mold resin. First, a perspective view explains the semiconductor device of this 2nd example.

[0055] Drawing 12 is the perspective view showing the 2nd example of the semiconductor device of this invention. The sign in drawing is the same as that of drawing 1, and 31 shows the semiconductor device of this invention.

[0056] The semiconductor device 31 shown in this drawing 12 will be the same configuration as fundamentally as the semiconductor device 1 of drawing 1 explained in the 1st previous example, if the point that mold resin 3a is formed only in that top face (side front) is removed. Next, the production process of the semiconductor device 31 shown in drawing 12 is explained using drawing 13 and drawing 14.

[0057] In the 2nd example of this invention, drawing 13 is drawing explaining the resin seal process of the semi-conductor wafer 11, and is the outline sectional view showing the condition of having inserted in mold metal mold. The sign in drawing is the same as that of drawing 6, in 32, a runner and 32C show the gate and, as for the upper metal mold for mold shaping, and 32A, 33 shows the Shimokane mold, as for the cavity and 32B.

[0058] Also in this 2nd example, the process from drawing 2 to drawing 6 is common, is in the condition in which the Au ball 16 was formed on the electrode pad 4 of the semi-conductor wafer 11, and performs mold shaping on that top face. As shown in drawing 13 R> 3, mold resin 3a is fabricated in this mold forming cycle only on the side

front of the semi-conductor wafer 11.

[0059] Thus, when the thin film of mold resin 3a is made to form only in one side of the semi-conductor wafer 11, curvature may arise from the difference in a heat ray expansion coefficient to a wafer 11. Then, it is desirable that the heat ray expansion coefficient of mold resin 3a chooses the ingredient of the value near it of the semi-conductor wafer 11 in this case.

[0060] Drawing 14 is the sectional view showing the condition of having carried out vertical grinding of the semi-conductor wafer 11 by which mold shaping was carried out, and having plated with drawing 13 on the exposed Au ball 16. The sign in drawing is the same as that of drawing 11 and drawing 13.

[0061] After such a process is completed, grinding is carried out by the front face of mold resin 3a, and the same approach as the 1st previous example described the rear face of the semi-conductor wafer 11 if needed.

Furthermore, on the exposed Au ball 16 (or bump 15), solder plating etc. is processed and a deposit 20 is formed.

[0062] In addition, the reason for carrying out grinding of the rear face of the semi-conductor wafer 11 is that it will become possible theoretically to realize a super-thin package if grinding also of the rear face is carried out in order for the whole thickness to obtain the semiconductor device 31 to about 100 micrometers although it may function normally as a device if it has left the active layer of the 10 micrometers of the surface number of the semi-conductor wafers 11. Then, if the semi-conductor wafer 11 which performed the process of drawing 13 and drawing 14 is divided into each simple substance, the semiconductor device 31 as shown in previous drawing 12 will be obtained.

[0063]

[Example 3] In the 1st and the 2nd example, when the semiconductor device 1 which closed both sides by mold resin 3a and 3b, and the semiconductor device 31 which closed one side by mold resin 3a were manufactured, the case where the semi-conductor wafer 11 as shown in drawing 2 was used was stated. In this 3rd example, the semi-conductor wafer 11 is beforehand divided into each chip simple substance, and it has the description by the same approach after that as the 1st example described at the point which forms a bump 15 or the Au ball 16 on the electrode pad 4.

[0064] Therefore, the semiconductor devices 1 and 31 obtained are the same as that of the previous 1st and the 2nd previous example. This 3rd example is explained using drawing 15 and drawing 16.

[0065] Drawing 15 is the perspective view showing the chip simple substance separately divided from the semi-conductor wafer 11. The sign in drawing is the same as that of drawing 3, and 41 shows a chip simple substance.

[0066] In the 3rd example of this invention, drawing 16 is drawing explaining the resin seal process of the semiconductor chip simple substance 41, and is the outline sectional view showing the condition of having inserted in the mold molding die. The sign in drawing is the same as that of drawing 13 and drawing 15.

[0067] Fundamental down stream processing is the same as that of the 1st and the 2nd example which were described previously, and the semi-conductor wafer 11 as shown in drawing 2 is divided into the chip simple substance 41 as beforehand shown in drawing 15. In the condition which showed in this drawing 15, by the same approach, the Au ball 16 (or bump 15) is formed on the electrode pad 4, and as shown in drawing 16 R> 6, the chip simple substance 41 is arranged as the 1st example described to cavity 32A in the upper metal mold 32 for mold shaping prepared every chip 41.

[0068] And the thin film of mold resin 3 is fabricated on the side front of the chip simple substance 41 (on or the background). Then, grinding of the mold resin 3a (or rear face of the chip simple substance 41) is carried out, and the necessary semiconductor devices 1 and 31 are manufactured. These processes are the same as the 1st and the 2nd example described.

[0069]

[Effect of the Invention] According to the plastic molded type semiconductor device of claim 1, thickness of a package can be made thin compared with the various conventional methods. Therefore, multistage mounting to a memory card etc. and mounting to the card of an ISO standard are attained [ 1st ].

[0070] Since package size can be made into a chip and the same size, a component-side product can be made small and high density assembly becomes possible the 2nd. Since wirebonding to a lead becomes unnecessary [ 3rd ], arrangement of an electrode pad can be performed comparatively freely.

[0071] Consequently, it becomes unnecessary to carry out useless leading about of a circuit, and much more high integration of a semiconductor chip is also realized. Since a semiconductor chip is protected [ 4th ] by mold resin, the damage to a chip side decreases and moisture resistance also improves.

[0072] Since it does not have [ 5th ] a leadframe, the defect who processes, such as die bonding and lead processing, become unnecessary, and originates in leadframes, such as lead deflection and a copra nullity, is also canceled.

[0073] Since the yield also improves while the plastic molded type semiconductor device which was excellent as mentioned above is obtained according to the manufacture approach of claim 2 to claim 5, manufacture of low cost is attained as a result.

[Translation done.]



## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing one example about the semiconductor device of this invention.

[Drawing 2] It is the perspective view showing an example of the semi-conductor wafer for obtaining the semiconductor device 1 of this invention.

[Drawing 3] It is the schematic diagram showing one element currently formed in the semi-conductor wafer 11 shown in drawing 2.

[Drawing 4] It is the important section sectional view of the perimeter [ chip 13 ] section in which the electrode pad 4 was formed about the semi-conductor wafer 11 shown in drawing 2.

[Drawing 5] In the semi-conductor wafer 11 shown in drawing 4, it is the important section sectional view showing the condition of having formed the bump on the electrode pad 4.

[Drawing 6] It is the important section sectional view showing the condition of having formed Au ball on the electrode pad 4, with the usual wirebonding method.

[Drawing 7] It is drawing explaining the resin seal process of the semi-conductor wafer 11, and is the outline sectional view showing the condition of having inserted in mold metal mold.

[Drawing 8] It is the outline sectional view showing the condition that inserted the semi-conductor wafer 11 of drawing 6 in the mold metal mold 21, and the Au ball 16 touched upper metal mold 21A.

[Drawing 9] It is the outline perspective view showing the condition after fabricating the semi-conductor wafer 11 with the mold metal mold 21 shown in drawing 7 or drawing 8.

[Drawing 10] It is the outline sectional view showing the condition of having carried out grinding of the mold resin 19 of the semi-conductor wafer [ finishing / mold shaping ] 11, and having exposed the Au ball 16 on the front face.

[Drawing 11] It is the sectional view showing the condition after plating on the Au ball 16 exposed on the front face of side front mold resin 19a.

[Drawing 12] It is the perspective view showing the 2nd example of the semiconductor device of this invention.

[Drawing 13] In the 2nd example of this invention, it is drawing explaining the resin seal process of the semi-conductor wafer 11, and is the outline sectional view showing the condition of having inserted in mold metal mold.

[Drawing 14] It is the sectional view showing the condition of having carried out vertical grinding of the semi-conductor wafer 11 by which mold shaping was carried out, and having plated with drawing 13 on the exposed Au ball 16.

[Drawing 15] It is the perspective view showing the chip simple substance separately divided from the semi-conductor wafer 11.

[Drawing 16] In the 3rd example of this invention, it is drawing explaining the resin seal process of the semiconductor chip simple substance 41, and is the outline sectional view showing the condition of having inserted in the mold molding die.

[Drawing 17] It is drawing showing the relation between the thickness of a thin semiconductor package, and the thickness of IC memory card of the specification of JEIDA.

[Drawing 18] It is the side elevation showing the application of the module to the smart card of an ISO standard about a super-thin IC package.

[Drawing 19] It is the side elevation showing an example of the mounting gestalt about the IC package of a COB method.

[Drawing 20] It is the side elevation showing an example of the mounting gestalt about the IC package of a tape career method.

[Drawing 21] It is the side elevation showing an example of the mounting gestalt about the IC package of a flip chip method.

### [Description of Notations]

1 Semiconductor Device of this Invention

2 Semiconductor Chip

3 Mold Resin  
4 Electrode Pad  
11 Semi-conductor Wafer  
12 Cage Hula  
13 Chip  
15 Bump  
16 Au Ball  
17 Au Line  
18 Capillary  
19 Mold Resin  
20 Deposit  
31 Semiconductor Device of this Invention  
41 Chip Simple Substance

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64725

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/28		Z 6921-4E		
B 4 2 D 15/10	5 2 1			
H 0 1 L 21/304	3 3 1			
		9169-4M	H 0 1 L 21/ 78 21/ 92	Z 6 0 4 J
審査請求 未請求 請求項の数 5 F D (全 9 頁) 最終頁に続く				

(21) 出願番号 特願平6-215239

(22) 出願日 平成6年(1994)8月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 紀平 徹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 深澤 博之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 小島 明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

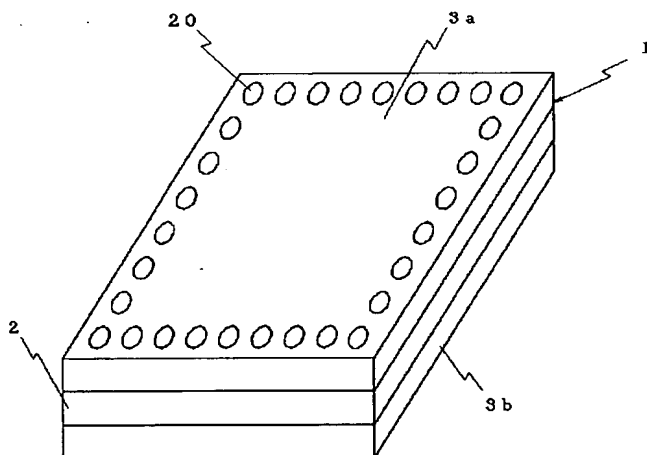
(54) 【発明の名称】 樹脂封止型半導体装置およびその製造方法

(57) 【要約】

【目的】 電子回路が集積、形成された半導体チップをトランスファーモールド法により樹脂で封止した半導体装置によって、ICカードやメモ리카ード用パッケージ等に最適な薄型の樹脂封止型半導体装置を提供する。

【構成】 半導体チップの電極上にバンプまたはAuボールを形成し、該バンプまたはAuボールをモールド樹脂の表面に露出させる。

【効果】 パッケージの厚さを、従来の各種方式に比べて薄くすることができるので、メモ리카ードなどへの多段実装、ISO規格のカードへの実装が可能となる。また、パッケージサイズをチップと同サイズとすることができるので、実装面積を小さくすることができ、高密度実装が可能になる等の効果が得られる。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】 半導体チップの電極上にバンプまたはAuボールを形成し、該バンプまたはAuボールをモールド樹脂の表面に露出させたことを特徴とする樹脂封止型半導体装置。

【請求項2】 請求項1の樹脂封止型半導体装置の製造方法であり、

半導体ウェハのそれぞれの半導体チップの電極上にバンプまたはAuボールを形成し、その後前記半導体ウェハの表面および／または裏面にモールドすることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項3】 請求項2の製造方法により得られたモールド済みの半導体ウェハにおいて、モールド樹脂の表面にバンプまたはAuボールが露出していない、もしくは十分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記バンプまたはAuボールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項4】 請求項2または請求項3の製造方法により得られたモールド済みの半導体ウェハにおいて、ダイシングを施して、単体に分割することを特徴とする樹脂封止型半導体装置の製造方法。

【請求項5】 請求項1の樹脂封止型半導体装置の製造方法であり、

個々に分割された半導体チップの電極上にバンプまたはAuボールを形成し、その後前記半導体チップの表面および／または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記バンプまたはAuボールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、電子回路が集積、形成された半導体チップ（以下、ICチップという）をトランスファーモールド法により樹脂で封止した樹脂封止型半導体装置とその製造方法に関する。具体的にいえば、この発明は、薄型パッケージやBGAに係り、特に、ICカードやメモリカード用パッケージ等に最適な樹脂封止型半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】近年、樹脂封止型半導体装置のパッケージは軽薄短小化の傾向にある。その中でも、特に薄型半導体パッケージは、今後、メモリカードの高容量化のために、需要の増加が見込まれている。このような現在のパッケージとメモリカードの傾向を図で説明する。

【0003】図17は、薄型半導体パッケージの厚さと、JEIDAの規格のICメモリカードの厚さとの関係を示す図である。

【0004】この図17に示すように、現在のICメモリカードの厚さは、JEIDAの規格により、3.3mm

2

mmとなっている。その一方で、現在の薄型半導体パッケージは、1.0mm厚のものが主流であり、上述の厚さ3.3mmのメモリカードの場合には、両面実装をすることが可能である（図17の左上の欄）。

【0005】これを現在開発中の厚さ0.5mmの半導体パッケージに置き換えると、4段実装まで可能となり、メモリー容量的にも、厚さ1.0mmのパッケージの場合に比較して、2倍に拡大することができる（図17の右上の欄）。また、メモリカードの場合には、上述の高容量化のほかに、カードそれ自体を薄型化する傾向にある。

【0006】例えば、次の段階のカードの規格として、JEIDAによって厚さ2.2mmのカードが定められている（図17の下の方）。この厚さのメモリカードの場合、厚さ1.0mmの半導体パッケージは、片面実装しかできないが（図17の左下の欄）、厚さ0.5mm以下のパッケージになると、2段以上の多段実装が可能となる（図17の右下の欄）。

【0007】さらに、薄型化メモリカードは、ISO規格の厚さ0.76mm（クレジットカードと同じ厚さ）のスマートカードとして応用することも考えられる。スマートカードの側面を、次の図に示す。

【0008】図18は、超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【0009】この図18に示すように、スマートカードの厚さが0.76mmになると、現在の厚さ1.0mmのパッケージでは、もはや搭載不可能となる。そのため、厚さ0.5mm以下の半導体装置（半導体パッケージ）が必要となる。

【0010】このような要求に応じて、厚さ0.76mmのスマートカードと同等のサイズのメモリカードに実装するために、COB（チップ・オン・ボード）方式やテープキャリア方式なども提案されている。その実装形態を、次の図19と図20で説明する。

【0011】図19は、COB方式のICパッケージについて、その実装形態の一例を示す側面図である。図において、51は半導体チップ、52は基板、53は接着剤、54はAu線、55は電極パッド、56は基板パッドを示す。

【0012】この図19に示すように、COB方式では、半導体チップ51を直接基板52の上に搭載し、チップ51上の電極パッド55から基板52のメッキ上などにワイヤボンディングを行う方法が採用されている。

【0013】図20は、テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19と同様であり、57はテープ、58はバンプを示す。

【0014】テープキャリア方式では、この図20に示すように、半導体チップ51の電極パッド55をテープ

3

57にバンプ58で接続して、基板52等を実装する方法が用いられている。しかしながら、これらの図19や図20に示した従来方式でも、次のような問題点がある。例えば、図19のCOB方式においては、モジュールの不良率が高い。

【0015】また、図20のテープキャリア方式においては、コストが極めて高価な上、実装の自動化が困難である、という問題点がある。さらに、以上に述べたリードを有する半導体装置を実装する方式や、COB方式、テープキャリア方式などでは、チップの周囲に配置されたリードや、基板上のメッキ部分にワイヤボンディングを行ったり、テープで電極パッドに接続しなければならないので、基本的に電極パッドをチップの周辺部に配置する必要がある。

【0016】そのため、チップ内の配線を無理に引き回さなければならず、結果的に、半導体デバイスの高集積化やチップサイズの縮小化への大きな妨げとなっている。また、従来から、以上のような問題点を解決するために、ワイヤやテープを有しないフリップチップ方式なども実施されている。

【0017】図21は、フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19および図20と同様である。

【0018】このフリップチップ方式は、図21に示すように、半導体チップ51の電極パッド55上にバンプ58を予め形成し、このバンプ58で直接基板52に接着固定する方式である。このような方式を用いれば、実装面積やチップサイズの縮小化が可能となり、カードの高容量化を実現することができる。

【0019】しかしながら、従来のCOB方式、テープキャリア方式あるいはフリップチップ方式などのように、樹脂封止型半導体装置以外の方式では、半導体チップがモールド樹脂で覆われていない構造が多いため、チップ表面が外力によってダメージを受けることも多い。さらに、これらの方式においては、半導体チップの表面の保護のためにポッティング樹脂を滴下して封止を行う場合もあるが、トランスファーモールドによる樹脂封止の方式と比較して、樹脂の厚さの制御が困難である。

【0020】その上、封止工程では、ほとんど加圧しないで行うため、封止する樹脂そのものがポーラスであり、その分だけ水分などを透過しやすく、耐湿性等、半導体装置の信頼性の面で劣る、などの問題がある。以上のように、従来の各種方式の半導体装置には、いずれも一長一短があり、現在求められているチップサイズで、かつ、パッケージの薄型化とチップの高集積化とが可能な半導体装置は、存在していない、という問題があった。

【0021】

【発明が解決しようとする課題】この発明では、従来の

4

各種方式の半導体装置がもっている多くの不都合を解決し、チップサイズの半導体パッケージを提供すると共に、パッケージの薄型化とチップの高集積化とを可能にした樹脂封止型半導体装置およびその製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】この発明は、第1に、半導体チップの電極上にバンプまたはAuボールを形成し、該バンプまたはAuボールをモールド樹脂の表面に露出させた構成の樹脂封止型半導体装置としている。

【0023】第2に、上記第1の樹脂封止型半導体装置の製造方法であり、半導体ウェハのそれぞれの半導体チップの電極上にバンプまたはAuボールを形成し、その後前記半導体ウェハの表面および／または裏面にモールドする樹脂封止型半導体装置の製造方法である。

【0024】第3に、上記第2の製造方法により得られたモールド済みの半導体ウェハにおいて、モールド樹脂の表面にバンプまたはAuボールが露出していない、もしくは十分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記バンプまたはAuボールを露出させる製造方法である。

【0025】第4に、上記第2または第3の製造方法により得られたモールド済みの半導体ウェハにおいて、ダイシングを施して、単体に分割することを特徴とする製造方法である。

【0026】第5に、上記第1の樹脂封止型半導体装置の製造方法であり、個々に分割された半導体チップの電極上にバンプまたはAuボールを形成し、その後前記半導体チップの表面および／または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記バンプまたはAuボールを露出させる製造方法である。

【0027】

【作用】この発明では、電極パッドの上にバンプまたは金(Au)ボールを形成した半導体チップの表面および／または裏面を、モールド樹脂で封止し、モールド樹脂の表面または裏面を露出させれば、外部との電気的接続が可能になる、という点に着目して、チップサイズの半導体パッケージを実現すると共に、パッケージの薄型化、チップの高集積化を可能している。

【0028】具体的にいえば、この発明の樹脂封止型半導体装置では、メモリカードなどの実装基板回路中の半導体素子を改良して、モールド樹脂保護における電気特性の保証や品質信頼性等を維持すると共に、フリップチップ素子等と同等の面実装密度を達成し、高集積の実装を可能にしている(請求項1の発明)。また、このような樹脂封止型半導体装置を製造するための製造方法について提案する(請求項2から請求項5の発明)。

【0029】

【実施例1】次に、この発明の樹脂封止型半導体装置およびその製造方法について、図面を参照しながら、その

5

実施例を詳細に説明する。この実施例は、請求項1から請求項5の発明に対応している。

【0030】すでに述べたように、この発明の半導体装置(1C)は、半導体チップの電極上にバンパまたはAuボールを形成し、電極をモールド樹脂の片側の表面に露出させた超薄型の構成である。この実施例では、半導体装置の両面をモールド樹脂で封止した場合である。まず、この発明の半導体装置について、斜視図でその構成を説明する。

【0031】図1は、この発明の半導体装置について、一実施例を示す斜視図である。図において、1はこの発明の半導体装置(1C)、2は半導体チップ、3はモールド樹脂で、3aは表側のモールド樹脂、3bは裏側のモールド樹脂、20は外部電極(メッキ層)を示す。

【0032】この図1に示すように、この発明の半導体装置1は、中央の半導体ウェハ2の両面がモールド樹脂3で覆われており、外部電極(メッキ層)20が、その片面の表側のモールド樹脂3aから露出されている。このように構成することにより、パッケージの薄型化が可能となり、同時にメモリカードなどの高容量化も実現

される。

【0033】また、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積を小さくすることができる。しかも、回路構成上も極めて強固であるから、信頼性の高い高密度実装が可能になる。次に、図1に示したこの発明の半導体装置1の製造工程を、図2から図11を用いて説明する。

【0034】図2は、この発明の半導体装置1を得るための半導体ウェハの一例を示す斜視図である。図において、11は半導体ウェハ、12はオリフラを示す。

【0035】図3は、図2に示した半導体ウェハ11の中に形成されている1素子を示す概略図である。図において、4は電極パッド、13はチップ、14はスクライブラインを示す。

【0036】この図3に示すように、半導体ウェハ11は複数のチップ13から構成されている。各チップ13は、その後、通常はウェハ状態で裏面研削を施した後、ダイシングの工程において個々に分割される。各チップ13には、それぞれ回路パターンが形成され、また、主としてチップ13の周囲部に、外部との電気的な

接続を行うための電極パッド4が形成されている。

【0037】図4は、図2に示した半導体ウェハ11について、電極パッド4が形成されたチップ13周囲部の要部断面図である。図における符号は図2および図3と同様である。

【0038】図5は、図4に示した半導体ウェハ11において、その電極パッド4の上にバンパを形成した状態を示す要部断面図である。図における符号は図2および図3と同様であり、15はバンパを示す。

【0039】図4に示した半導体ウェハ11の電極パ

6

ッド4の上に、従来から行われている方法によって、バンパ15を形成する。このような処理によって、図5に示したように、電極パッド4の上にバンパ15が形成される。

【0040】図6は、通常のワイヤボンディング方式によって、電極パッド4上にAuボールを形成した状態を示す要部断面図である。図における符号は図2および図3と同様であり、16はAuボール、17はAu線、18はキャピラリを示す。

【0041】また、バンパ15の代りに、図6に示すように、電極パッド4の上にAuボール16を形成してもよい。以上の工程によって、半導体ウェハ11の電極パッド4上に、バンパ15またはAuボール16を形成した後、樹脂封止を行う。

【0042】図7は、半導体ウェハ11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。図における符号は図6と同様であり、21はモールド金型で、21Aはその上金型、21Bは下金型、22Aは上キャビティ、22Bは下キャビティ、23Aは上ランナー、23Bは下ランナー、24Aは上ゲート、24Bは下ゲートを示す。

【0043】先の図6で説明した工程が終了したチップ13は、この図7に示すように、モールド金型21に入れられて、樹脂封止される。すなわち、半導体ウェハ11を上金型21Aと下金型21Bとで上下から挟み込み、半導体ウェハ11の表側と裏側をモールド樹脂3で成形する。

【0044】この場合に、半導体ウェハ11の両面の樹脂3は、薄く広い範囲にモールドする必要があるもので、モールド樹脂3の硬化温度や粘度特性、さらにモールド金型21の成形温度、射出圧力、射出時間、予熱時間などのモールド条件を最適化して行う。その後、従来のウェハの裏面研削と同様の工程で、表側および裏側のモールド樹脂3a、3bの薄膜を研削し、後出の図10に示すように、バンパ15またはAuボール16をモールド樹脂3aの表面に露出させる。

【0045】このとき、バンパ15またはAuボール16の露出面積がほぼ均一になるように、予めバンパ15の面積もしくはAuボール16の大きさを調整しておく。なお、先の図7に示した実施例では、バンパ15もしくはAuボール16はモールド樹脂3aに完全に覆われており、外部との接続を行うために、モールド樹脂3aの研削の工程が必要となる。

【0046】図8は、図6の半導体ウェハ11をモールド金型21に挟み込み、Auボール16が上金型21Aに接した状態を示す概略断面図である。図における符号は図6および図7と同様である。

【0047】この図8に示すように、予めバンパ15もしくはAuボール16を高めに形成しておき、モールド金型21で挟み込んだときに、上型21Aの内面にこれ

50

7

らのバンプ15もしくはAuボール16の先端が当たるようにしておく。この方法によれば、成形後に、すでにバンプ15もしくはAuボール16の一部がモールド樹脂表面上に露出されているので、図7のような研削の工程を省くことができる。

【0048】図9は、半導体ウェハ11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。図における符号は図2と同様であり、19はモールド樹脂で、19aは表側モールド樹脂、19bは裏側モールド樹脂を示す。

【0049】図10は、モールド成形済みの半導体ウェハ11のモールド樹脂19を研削し、表面にAuボール16を露出させた状態を示す概略断面図である。

【0050】図11は、表側モールド樹脂19aの表面に露出させたAuボール16の上にメッキを施した後の状態を示す断面図である。図において、20はメッキ層を示す。

【0051】図7や図8で説明したように、半導体ウェハ11をモールド金型21を使用してモールド成形を行うと、図9に示すように、両面がモールド樹脂19a、19bで用われた半導体ウェハ11が得られる。このようにして得られた半導体ウェハ11に、図10に示すように、両面のモールド樹脂19を研削して、表側モールド樹脂19aの表面にAuボール16を露出させる。

【0052】その後、図11に示すように、露出したバンプ15もしくはAuボール16の上に半田メッキ等の処理を行って、メッキ層20を形成する。以上の図2から図11のような処理工程が行われ、モールド済みウェハ11にダイシングを施して個々の単体にすれば、図1に示したような基板実装が可能な形態の半導体装置(1C)1が得られる。

【0053】この第1実施例で説明した半導体装置(半導体パッケージ)では、半導体のチップ13の表面がモールド樹脂3a、3bに覆われているので、チップ表面がダメージを受けることがなく、また耐湿性も確保することが可能である。その上、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積も小さくすることができる。

【0054】

【実施例2】この実施例も、請求項1から請求項5の発明に対応している。先の第1の実施例では、半導体装置1の両面をモールド樹脂3a、3bで封止した場合を説明したが、この第2の実施例では、半導体装置1の片面だけをモールド樹脂で封止する点に特徴を有している。最初に、この第2の実施例の半導体装置を斜視図で説明する。

【0055】図12は、この発明の半導体装置の第2の実施例を示す斜視図である。図における符号は図1と同様であり、31はこの発明の半導体装置を示す。

8

【0056】この図12に示す半導体装置31は、その上面(表側)のみにモールド樹脂3aが形成されている点を除けば、先の第1の実施例で説明した図1の半導体装置1と基本的に同様の構成である。次に、図12に示す半導体装置31の製造工程を、図13と図14を用いて説明する。

【0057】図13は、この発明の第2の実施例において、半導体ウェハ11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。図における符号は図6と同様であり、32はモールド成形用金型、32Aはそのキャビティ、32Bはランナー、32Cはゲート、33は下金型を示す。

【0058】この第2の実施例でも、図2から図6までの工程は共通しており、半導体ウェハ11の電極パッド4上にAuボール16を形成した状態で、その上面にモールド成形を行う。このモールド成形工程では、図13に示すように、半導体ウェハ11の表側のみにモールド樹脂3aを成形する。

【0059】このように半導体ウェハ11の片側だけにモールド樹脂3aの薄膜を形成させると、熱膨張率の違いから、ウェハ11に反りが生じることがある。そこで、この場合には、モールド樹脂3aの熱膨張係数が、半導体ウェハ11のそれに近い値の材料を選択するのが好ましい。

【0060】図14は、図13でモールド成形された半導体ウェハ11を上下研削し、露出したAuボール16の上にメッキを施した状態を示す断面図である。図における符号は図11および図13と同様である。

【0061】このような工程が終了した後、モールド樹脂3aの表面、また必要に応じて半導体ウェハ11の裏面を、先の第1の実施例で述べたのと同様な方法で研削する。さらに、露出したAuボール16(もしくはバンプ15)の上に半田メッキ等の処理を行って、メッキ層20を形成する。

【0062】なお、半導体ウェハ11の裏面を研削する理由は、原理的には半導体ウェハ11の表層数十 $\mu\text{m}$ のアクティブ層を残していれば、デバイスとしては正常に機能し得るが、全体の厚さが100 $\mu\text{m}$ 程度までの半導体装置31を得るためには、その裏面も研削すれば、超薄型パッケージを実現することが可能になるからである。その後、図13と図14の工程を行った半導体ウェハ11を個々の単体に分割すれば、先の図12に示したような半導体装置31が得られる。

【0063】

【実施例3】第1と第2の実施例では、両面をモールド樹脂3a、3bで封止した半導体装置1や、片面をモールド樹脂3aで封止した半導体装置31を製造する場合に、図2に示したような半導体ウェハ11を使用する場合を述べた。この第3の実施例では、半導体ウェハ11を予め個々のチップ単体に分割しておき、その後

50

9

に、第1の実施例で述べたのと同様な方法で、電極パッド4の上にバンプ15もしくはAuボール16を形成する点に特徴を有している。

【0064】したがって、得られる半導体装置1, 31は、先の第1や第2の実施例と同様である。この第3の実施例について、図15と図16を用いて説明する。

【0065】図15は、半導体ウェハー11から個々に分割されたチップ単体を示す斜視図である。図における符号は図3と同様であり、41はチップ単体を示す。

【0066】図16は、この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。図における符号は図13および図15と同様である。

【0067】基本的な処理工程は、先に述べた第1や第2の実施例と同様であり、図2に示したような半導体ウェハー11を、予め図15に示すようなチップ単体41に分割する。この図15に示した状態で、第1の実施例で述べたのと同様な方法によって、電極パッド4の上にAuボール16（もしくはバンプ15）を形成し、図16に示すように、各チップ41ごとに用意されたモールド成形用金型32内のキャビティ32Aにチップ単体41を配置する。

【0068】そして、チップ単体41の表側（またはその裏側にも）にモールド樹脂3の薄膜を成形する。その後、モールド樹脂3a（もしくはチップ単体41の裏面）を研削し、所要の半導体装置1, 31を製造する。これらの工程は、第1や第2の実施例で述べたのと同様である。

【0069】

【発明の効果】請求項1の樹脂封止型半導体装置によれば、パッケージの厚さを、従来の各種方式に比べて薄くすることができる。したがって、第1に、メモ리카ードなどへの多段実装、LSO規格のカードへの実装が可能となる。

【0070】第2に、パッケージサイズをチップと同サイズとすることができるので、実装面積を小さくことができ、高密度実装が可能になる。第3に、リードへのワイヤボンディングが不要となるので、電極パッドの配置が比較的自由にできる。

【0071】その結果、回路の無駄な引き回しをする必要がなくなり、半導体チップのより一層の高集積化も実現される。第4に、半導体チップがモールド樹脂で保護されるので、チップ面へのダメージが低減し、また耐湿性も向上する。

【0072】第5に、リードフレームを有しないので、ダイボンディングやリード加工などの工程が不要となり、また、リード曲がりやコプラナリティーといったリードフレームに起因する不良も解消される。

【0073】請求項2から請求項5の製造方法によれ

10

ば、以上のように優れた樹脂封止型半導体装置が得られると共に、歩留りも向上されるので、結果的に低コストの製造が可能になる。

【図面の簡単な説明】

【図1】この発明の半導体装置について、一実施例を示す斜視図である。

【図2】この発明の半導体装置1を得るための半導体ウェハーの一例を示す斜視図である。

【図3】図2に示した半導体ウェハー11の中に形成されている1素子を示す概略図である。

【図4】図2に示した半導体ウェハー11について、電極パッド4が形成されたチップ13周囲部の要部断面図である。

【図5】図4に示した半導体ウェハー11において、その電極パッド4の上にバンプを形成した状態を示す要部断面図である。

【図6】通常のワイヤボンディング方式によって、電極パッド4上にAuボールを形成した状態を示す要部断面図である。

【図7】半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図8】図6の半導体ウェハー11をモールド金型21に挟み込み、Auボール16が上金型21Aに接した状態を示す概略断面図である。

【図9】半導体ウェハー11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。

【図10】モールド成形済みの半導体ウェハー11のモールド樹脂19を研削し、表面にAuボール16を露出させた状態を示す概略断面図である。

【図11】表側モールド樹脂19aの表面に露出させたAuボール16の上にメッキを施した後の状態を示す断面図である。

【図12】この発明の半導体装置の第2の実施例を示す斜視図である。

【図13】この発明の第2の実施例において、半導体ウェハー11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図14】図13でモールド成形された半導体ウェハー11を上下研削し、露出したAuボール16の上にメッキを施した状態を示す断面図である。

【図15】半導体ウェハー11から個々に分割されたチップ単体を示す斜視図である。

【図16】この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。

【図17】薄型半導体パッケージの厚さと、JEIDAの規格のICメモ리카ードの厚さとの関係を示す図である。

50



【図18】超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【図19】COB方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図20】テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図21】フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。

【符号の説明】

- 1 この発明の半導体装置
- 2 半導体チップ
- 3 モールド樹脂

4 電極パッド

11 半導体ウェハー

12 オリフラ

13 チップ

15 バンプ

16 Auボール

17 Au線

18 キャピラリ

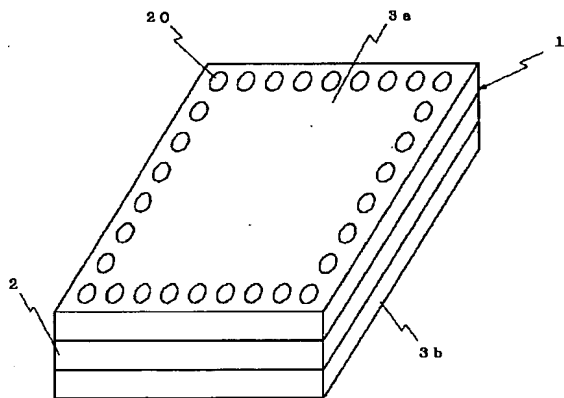
19 モールド樹脂

10 20 メッキ層

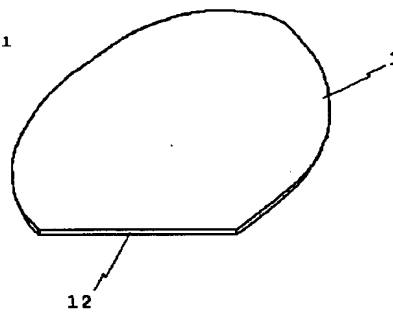
31 この発明の半導体装置

41 チップ単体

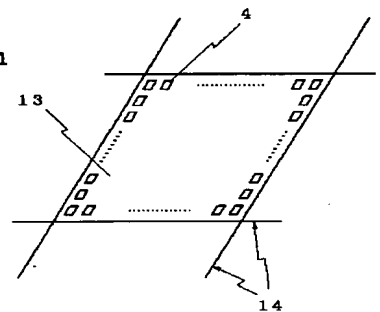
【図1】



【図2】

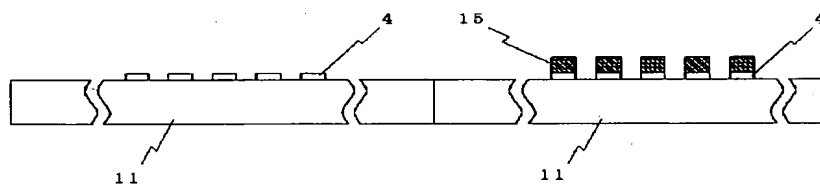


【図3】

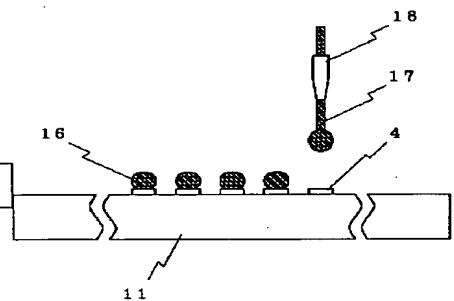


【図6】

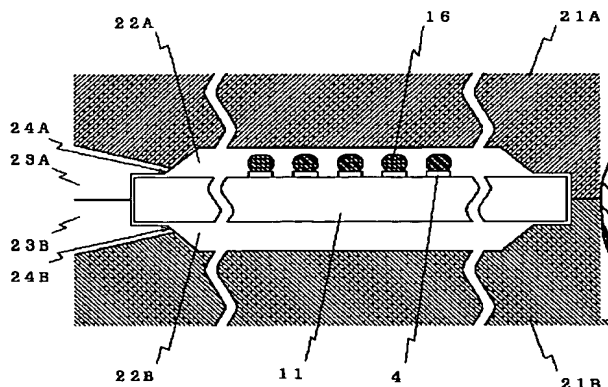
【図4】



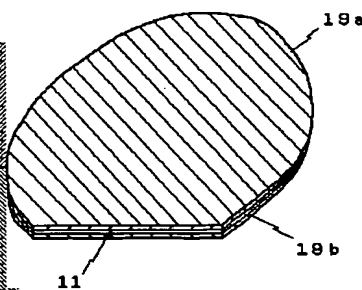
【図5】



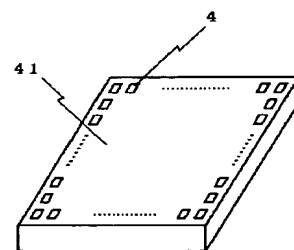
【図7】



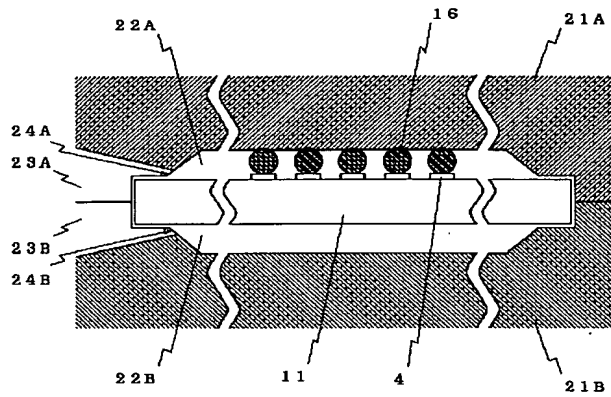
【図9】



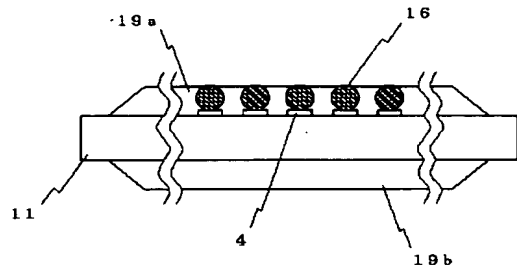
【図15】



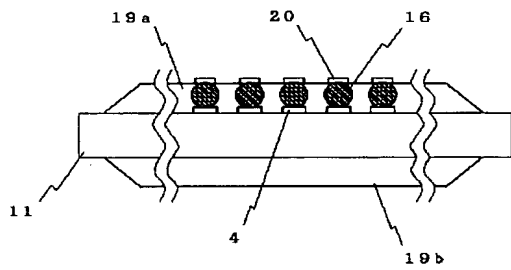
【図 8】



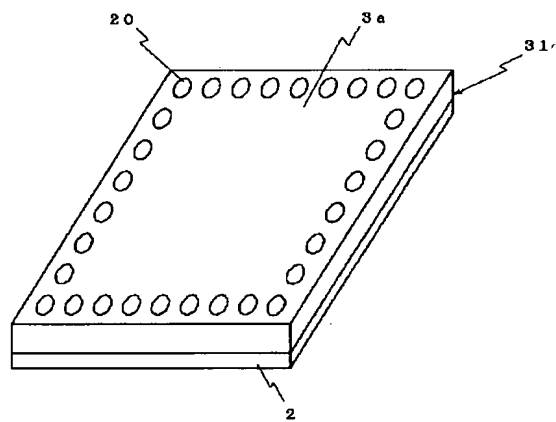
【図 10】



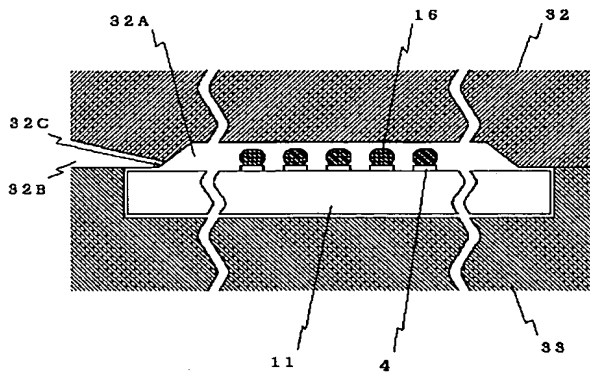
【図 11】



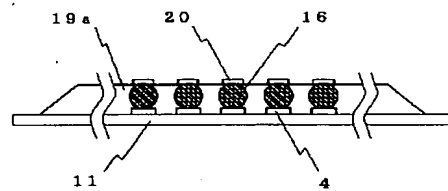
【図 12】



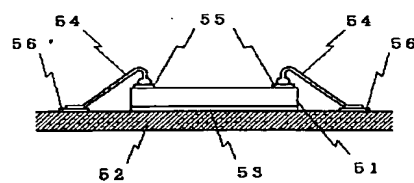
【図 13】



【図 14】



【図 19】

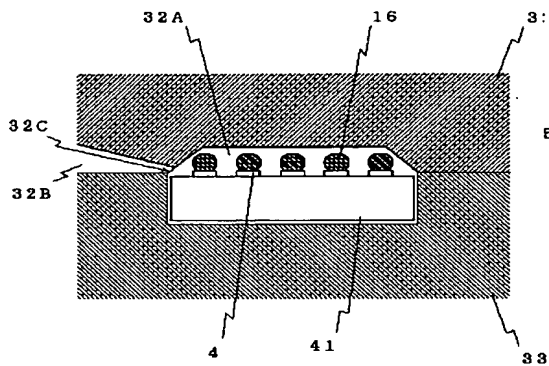


【図 18】

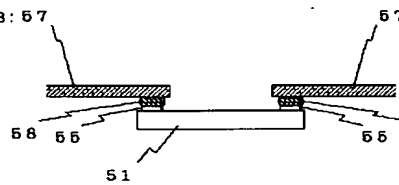


BEST AVAILABLE COPY

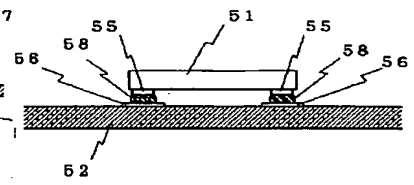
【図16】



【図20】



【図21】



【図17】

PKG厚 メモ리카ード厚	1.0mm t	0.5mm t
	乳状TSOP搭載	
JEIDA規格 3.3mm t	 (両面実装)	 (4段実装)
JEIDA規格 2.2mm t	 (片面実装)	 (両面実装)

フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/56

識別記号

T

R

庁内整理番号

F I

技術表示箇所

21/301

21/321

BEST AVAILABLE COPY